

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

OKADA

Art Unit: Not Yet Assigned

Application No.: New Application

Examiner: Not Yet Assigned

Filed: August 28, 2003

Attorney Dkt. No.: 100698-00014

For: PLL CLOCK GENERATOR AND CLOCK GENERATION METHOD

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

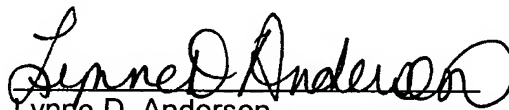
Japanese Application No. 2002-266631 filed September 12, 2002 in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300, referring to client-matter number 100698-00014.

Respectfully submitted,


Lynne D. Anderson
Registration No. 46,412

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月12日

出願番号

Application Number:

特願2002-266631

[ST.10/C]:

[JP2002-266631]

出願人

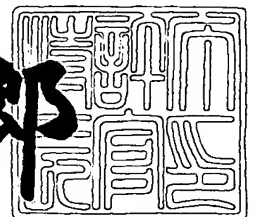
Applicant(s):

富士通株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3027858



【書類名】 特許願

【整理番号】 0240129

【提出日】 平成14年 9月12日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/08
H03B 1/04
H03L 7/093

【発明の名称】 クロック生成回路、PLL及びクロック生成方法

【請求項の数】 10

【発明者】
【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 岡田 浩司

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100108187
【弁理士】
【氏名又は名称】 横山 淳一
【電話番号】 044-754-3035

【手数料の表示】
【予納台帳番号】 011280
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0017694



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック生成回路、PLL及びクロック生成方法

【特許請求の範囲】

【請求項1】

基準クロックと動作クロックとが入力される位相比較器と、
前記位相比較器の出力信号に基づいて前記動作クロックを生成する電圧制御発振器と、

を備えるクロック生成回路において、

前記電圧制御発振器は、

電圧信号を電流信号に変換する電圧電流変換器と、

前記電流信号を可変とする電流可変回路と、

前記可変電流信号に基づいた周波数を発振する電流制御発振器と、

を備えること

を特徴とするクロック生成回路。

【請求項2】

前記電流可変回路は、電流D/Aコンバータ又はローパスフィルタ付電流D/Aコンバータであること

を特徴とする請求項1に記載のクロック生成回路。

【請求項3】

基準クロックと比較クロックとを比較した比較結果を電流信号に変換し、該電流信号に基づいて動作クロックを生成するクロック生成回路であって、

前記電流信号を変化させて複数の電流信号を生成する第1回路と、

前記複数の電流信号に基づいて複数の異なる周波数のクロックを生成する第2回路と、

を備えることを特徴とするクロック生成回路。

【請求項4】

基準クロックと比較クロックとを比較した比較結果を出力する位相比較器と、

前記比較結果に基づく電流信号を生成する第1回路と、

前記電流信号に基づいて第1電流信号と第2電流信号とを生成する第2回路と

前記第 1 電流信号に基づいて第 1 周波数のクロックを生成するとともに、前記第 2 電流信号に基づいて第 2 周波数のクロックを生成する第 3 回路と、
を備えることを特徴とするクロック生成回路。

【請求項 5】

第 1 のクロックを生成する第 1 クロック生成部と、第 2 のクロックを生成する第 2 クロック生成部と、を備えるクロック生成回路において、

前記第 1 クロック生成部は、

基準クロックと動作クロックと比較する位相比較器と、

前記比較結果又は比較結果に基づく信号を電流信号に変換する電圧電流変換器と、

前記電流信号に基づいて第 1 動作クロックを生成する第 1 電圧制御発振器と、
を備え、

前記第 2 クロック生成部は、

前記電流信号を可変とする電流可変回路と、

前記可変電流信号に基づいた周波数のクロックを発振する第 2 電流制御発振器とを備えること

を特徴とするクロック生成回路。

【請求項 6】

N 個 (N は 1 以上の整数) のピークを有する周波数スペクトラムの第 1 クロックを生成するクロック生成回路において、

基準クロックと比較クロックとを比較した比較結果に基づいて生成された電流信号に基づいて、M 個 (M は 1 以上の整数、 $M > N$) のピークを有する周波数スペクトラムの第 2 クロックを生成する手段を備えること

を特徴とするクロック生成回路。

【請求項 7】

基準クロックと動作クロックとが入力される位相比較器と、

前記位相比較器の出力が供給されるチャージポンプと、

前記チャージポンプの出力が供給されるとともに前記動作クロックを出力する

電圧制御発振器と

を備える PLL において、
 前記電圧制御発振器は、
 電圧信号を電流信号に変換する電圧電流変換器と、
 前記電流信号を可変とする電流可変回路と、
 前記可変電流信号に基づいた周波数を発振する電流制御発振器と、
 を備えることを特徴とする PLL。

【請求項 8】

動作クロックを生成する方法において、
 基準クロックと比較クロックとを比較し、
 前記比較結果を電流信号に変換し、
 前記電流信号を制御信号に基づいて可変とし、
 前記可変電流信号に基づいて異なる周波数の動作クロックを出力すること
 を特徴とする動作クロックの生成方法。

【請求項 9】

基準クロックと比較クロックとを比較し、
 前記比較結果を電流信号に変換し、
 前記電流信号を第 1 制御信号に基づいて第 1 電流信号と第 2 電流信号とを生成
 し、
 前記第 1 電流信号に基づいて第 1 周波数のクロックを生成し、
 前記第 2 電流信号に基づいて第 2 周波数のクロックを生成すること
 を特徴とするクロック生成方法。

【請求項 10】

基準クロックと比較クロックとを比較し、
 前記比較結果に基づいて複数の電流信号を生成し、
 前記複数の電流信号に基づいて、M 個（M は 2 以上の整数）のピークを有する
 周波数スペクトラムのクロックを生成すること
 を特徴とするクロック生成回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の動作クロックを生成するクロック生成回路に関し、特に、スペクトラム拡散を実現して電磁波輻射を低減することのできるクロック生成回路に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の高性能化により、半導体装置の動作クロック（動作周波数）は近年非常に高くなっている。それに伴いクロック生成回路による電磁波輻射が周辺回路等に及ぼす影響が非常に大きな問題となってきている。

【 0 0 0 3 】

図 1 に従来のクロック生成回路、PLL (Phase Locked Loop) を示す。

【 0 0 0 4 】

PLL 1 は、半導体装置の動作クロック CLK を生成して発振する。

【 0 0 0 5 】

PLL 1 は、 $1/N$ 分周器 2、位相比較器 3、チャージポンプ 4、ループフィルタ 5、VCO（電圧制御発振器） 6、及び $1/M$ 分周器 9 で構成される。

【 0 0 0 6 】

基準クロック RCLK が $1/N$ 分周器 2 に供給され $1/N$ 倍（N は整数）に分周されて、位相比較器 3 に供給される。VCO 6 で生成された信号が、 $1/M$ 分周器 7 に供給され $1/M$ 倍（M は整数）に分周されて、位相比較器 3 に供給される。位相比較器 3 においては、 $1/N$ 倍に分周された基準クロック RCLK と $1/M$ 倍に分周された信号とを比較し、比較した位相差に応じた比較信号をチャージポンプ 4 に供給する。

【 0 0 0 7 】

チャージポンプ 4 は、比較信号に基づいた信号をループフィルタ 5 に供給する。ループフィルタ 5 は、高周波成分のノイズ等を除去して平滑化した信号を VCO 6 に供給する。

【0008】

VCO6は、ループフィルタ5が出力する平滑化された信号に基づいて、動作クロックCLKを出力する。この動作クロックCLKは、基準クロックRCLKのM/N倍である。

【0009】

このように、PLL1は基準クロックRCLKに基づいて生成された所定の周波数を有する動作クロックCLKを生成して発振する。

【0010】

しかしながら、このPLL1は、周波数が一定の動作クロックCLKを発振し続けるために、PLL1から輻射される電磁波が大きく、周辺の電子機器に大きな影響を与えるという問題が生じる。

【0011】

図2は、図1のPLL1が発振するクロックの周波数スペクトラムを示す。

【0012】

所定の動作クロック（例えば、16MHz）を発振するようにPLL1を動作させたところ、図2に示すように発振周波数のスペクトラムは一つの大きなピーク値を有するため、PLL1から輻射される電磁波も非常に大きなものとなる。この最大の電磁波輻射は、他の電子機器の誤動作を引き起こしたり、また、人体にも大きな影響を与える可能性があり、大きな問題となっている。

【0013】

特開平7-143001号公報におけるPLL発振装置においても同様な問題が生じる。

【0014】

【課題を解決するための手段及びその作用効果】

上記課題を解決するために、本発明は、基準クロックと動作クロックとが入力される位相比較器と、前記位相比較器の出力信号に基づいて前記動作クロックを生成する電圧制御発振器とを備えるクロック生成回路において、前記電圧制御発振器は、電圧信号を電流信号に変換する電圧電流変換器と、前記電流信号を可変とする電流可変回路と、前記可変電流信号に基づいた周波数を発振する電流制御

発振器とを備えることを特徴とするクロック生成回路を提供する。

【0015】

図3に、本発明の原理図を示す。

【0016】

本発明におけるクロック生成回路は、その発振周波数を変動できるように構成される。

【0017】

クロック生成回路8は、 $1/N$ 分周器9、位相比較器10、チャージポンプ11、ループフィルタ12、VCO（電圧制御発振器）13、及び $1/M$ 分周器17で構成され、VCOの構成以外は、図1に示す従来のPLLと同じである。

【0018】

VCO13は、V-I変換器（電圧電流変換器）14と、電流可変回路15と、ICO（電流制御発振器）16とで構成される。

【0019】

V-I変換器14は、チャージポンプ11からの電圧信号を電流信号に変換する。電流可変回路15は、変換された電流信号を変化させ、ICO16は変化した電流信号に対応する周波数を発振する。

【0020】

このように、本発明においては、発振周波数を制御する電流信号を電流可変回路により可変とすることで発振周波数を変動させる。

【0021】

本発明に係るクロック生成回路によれば、以下の効果を得ることができる。

（1）発振周波数のスペクトラムを有効に拡散して、電磁波輻射を低減することができる。

【0022】

クロック生成回路が発振する周波数を変動させることで、発振周波数のスペクトラムのピークを分散させることが可能となる。

【0023】

図4は、本発明のクロック生成回路が発振する周波数のスペクトラム-1を示

す。

【 0 0 2 4 】

図 4 においては、図 2 に示す従来の PLL の周波数スペクトラムの唯一のピークが分散されて複数のピークとなるとともに各ピーク値が小さくなり、クロック生成回路が輻射する電磁波が低減される。そのため、クロック生成回路の電磁波輻射による他の電子機器への影響を防止することができる。

【 0 0 2 5 】

図 5 は、本発明のクロック生成回路が発振する周波数のスペクトラム - 2 を示す。

【 0 0 2 6 】

図 5 (2) は、図 4 に示すクロック生成回路が発振する周波数のスペクトラムを更に分散させたものである。スペクトラムのピークがほとんどなくなり一定となり、図 2 に示す従来の PLL の周波数スペクトラム (1) の唯一のピーク値が大幅に低減されている (X 低減されている) 。そのため、クロック生成回路が輻射する電磁波が大幅に低減されることになる。

(2) 発振周波数のスペクトラム拡散の度合いを自由に設定することができる。

【 0 0 2 7 】

制御信号に基づいて発振周波数を制御する電流信号を可変とすることで、クロック生成回路の発振周波数を変動させるタイミングや量を自由にコントロールすることができる。そのため、所望する発振周波数のスペクトラム拡散を実現でき、思いのままに電磁波輻射の低減を図ることができる。特に、VCO において、IDAC (電流 D / A コンバータ) を使用することで、発振周波数の変動をデジタル的に制御することができる。即ち、IDAC への入力パターンを変えるだけでスペクトラム拡散の度合いを制御することができるので、制御は一段と容易化される。

(3) 正確に発振周波数を遷移させることができる。

【 0 0 2 8 】

VCO において、IDAC (電流 D / A コンバータ) を使用することで寄生容量の影響を受けにくくし、発振周波数の遷移の正確化を図ることができる。

(4) プロセス変動、温度変動又は電源電圧変動等によるバラツキに強く対処することができる。

【0029】

VCOにおけるIDACは、V-I変換器（電圧電流変換器）からの電流に基づいて、即ち、PLLがロック状態にあるときの制御電流を基準電流として、発振周波数を制御する電流信号を変化させている。そのため、クロック生成回路は、プロセス変動、温度変動又は電源電圧変動等によるバラツキの影響を受けにくいものとなっている。

【0030】

例えば、ICOが入力電流10mAで、10MHzを発振するものとする。PLLが10MHzにロックする状態であるときに、IDACが入力電流を±1%変動させたとしても、入力電流は9.9mA～10.1mAの間で変動し、発振周波数は9.9MHz～10.1MHzの間で変動する。この場合において、プロセス変動、温度変動又は電源電圧変動などにより、ICOが入力電流20mAで、10MHzを発振するものになってしまったとする。IDACは入力電流20mAを基準として入力電流を±1%変動させるので、入力電流は19.8mA～10.2mAの間で変動し、発振周波数は9.9MHz～10.1MHzの間で変動する。即ち、プロセス変動、温度変動又は電源電圧変動などがない場合と同じ変動幅なので、プロセス変動、温度変動又は電源電圧変動による影響は見えてこない。

【0031】

一方で、VCOにおけるIDACが、V-I変換器（電圧電流変換器）からの電流に基づかないで、即ち、固定の基準電流に基づいて発振周波数を制御する電流信号を変化させているとする。PLLが10MHzにロックする状態であるときに、IDACが入力電流を±1%変動させたとしても、入力電流は9.9mA～10.1mAの間で変動し、発振周波数は9.9MHz～10.1MHzの間で変動する。これは、V-I変換器（電圧電流変換器）からの電流に基づいて電流信号を変化させるIDACと同じである。この場合において、プロセス変動、温度変動又は電源電圧変動などにより、ICOが入力電流20mAで、10MHz

z を発振するものになってしまったとする。I D A C は固定の入力電流 1 0 m A を基準として入力電流を $\pm 1 \%$ 変動させるので、入力電流は 1 9 . 9 m A ~ 1 0 . 1 m A の間で変動し、発振周波数は 9 . 9 5 M H z ~ 1 0 . 0 5 M H z の間で変動する。プロセス変動、温度変動又は電源電圧変動などがない場合に比べて $\pm 0 . 5 \%$ とその変動幅が狭くなっており、プロセス変動、温度変動又は電源電圧変動による影響を大きく受ける。

【 0 0 3 2 】

従って、V - I 変換器（電圧電流変換器）からの電流に基づいて発振周波数を制御する電流信号を変化させて I D A C を使用することで、プロセス変動、温度変動又は電源電圧変動等によるバラツキを抑えることができる。

【 0 0 3 3 】

【発明の実施の形態】

〔本発明の第 1 実施例〕

図 6 に、本発明の第 1 実施例を示す。

【 0 0 3 4 】

本発明の第 1 実施例における P L L 1 8 は、電流可変回路として I D A C （電流 D / A コンバータ）を備え、発振周波数を変化させるものである。

【 0 0 3 5 】

図 6 に示す P L L 1 8 は、1 / N 分周器 1 9、位相比較器 2 0、チャージポンプ 2 1、ループフィルタ 2 2、V C O（電圧制御発振器）2 3、及び 1 / M 分周器 2 8 で構成され、V C O の構成以外は、図 1 に示す従来の P L L と同じである。

【 0 0 3 6 】

図 6 に示す位相比較器 2 0 は、例えば、図 7 に示すように構成され、基準クロックと比較クロックとを比較し、その比較結果として U p 信号と D o w n 信号とを出力する。

【 0 0 3 7 】

図 6 に示すチャージポンプは、例えば、図 8 に示すように構成され、位相比較器からの U p 信号と D o w n 信号とに基づいて電圧信号を出力する。

【0038】

VCO23は、V-I変換器（電圧電流変換器）24と、IDAC（電流D/Aコンバータ）25と、ICO（電流制御発振器）26とで構成される。

【0039】

また、PLL18は、IDAC25を制御する制御回路27を備える。IDAC25は、制御回路27からの制御信号に基づいて、V-I変換器（電圧電流変換器）24からの電流信号を変化させて出力する。そして、ICO26は、変化した電流信号に対応する周波数を発振出力することで、発振周波数を変動させる。V-I変換器24は、例えば、図9に示すように構成され、入力電圧Viが電流Ioに変換されて出力される。

【0040】

ICO26は、例えば、図10に示すように構成され、入力電流Iiに対応する周波数のクロックを発振する。

【0041】

IDAC25は、例えば、図11に示すように構成される。

【0042】

IDAC25は、nビット構成の電流D/A変換器であり、カレントミラー回路で構成される複数の電流源から構成される。入力デジタル信号D0、D1・・・Dnに基づいて電流源を切り換えて、入力デジタル信号に対応するアナログ信号を出力する。

【0043】

入力デジタル信号D0～Dnは、NMOSTランジスタ36₁ 36_nに供給される。NMOSTランジスタ36₁ 36_nはスイッチ動作を行い入力デジタル信号に応じた電流源、即ちカレントミラー回路（NMOSTランジスタ35₁ 35_nの内の何れかのNMOSTランジスタと、NMOSTランジスタ34とで構成されるカレントミラー回路）を選択する。そして、選択されたカレントミラー回路から電流が流れ、出力端子Ioutからアナログ信号が出力される。

【0044】

カレントミラー回路は、NMOSトランジスタ35 1 35 nのチャネル幅Wとチャネル長Lの比(W/L)などのトランジスタサイズ比により、重み付けされている。NMOSトランジスタ35 1 35 nの上部に記載されている数字 $2n$ 、2、4・・・ $2n$ が重み付けを表している。

【0045】

IDAC25において、PMOSトランジスタ29、30及び31、及びNMOSトランジスタ32及び33で構成される前段部は、基準クロックの周波数を中心としてIC0の発振周波数をどの範囲で変化させるかを決定する。例えば、基準クロックの周波数の $20\% + 20\%$ の範囲内の周波数信号をIC0から発振させる場合には、PMOSトランジスタ29、30及び31のトランジスタのサイズ比を $1:0.8:0.2$ に設定し、NMOSトランジスタ32及び33のトランジスタサイズ比を $1:1$ に設定する。この設定により、IDAC25の前段部は、入力電流に基づいて、基準クロックの周波数の $20\% + 20\%$ の範囲内の周波数を発振するようにIC0を制御する。

【0046】

図12に、制御回路27が出力する制御信号の第1の例を示す。制御回路27から出力される制御信号は、図12に示されるような変調波形である。

【0047】

図13に、制御回路27の第1の例である、制御回路37を示す。

【0048】

制御回路37は、カウンタ回路を組み合わせたロジック回路である。アップダウンカウンタ38と分周カウンタ39とで構成される。アップダウンカウンタ38は、クロックCLKに基づいてインクリメント又はデクリメントを行う。分周カウンタ39は、クロックCLKを8分の1で分周し、アップダウンカウンタ38のインクリメント及びデクリメントを切り換えるためのアップダウン切替信号を出力する。アップダウンカウンタ38は、例えば、アップダウン切替信号が”1”の場合にはクロックCLKの8カウント分インクリメントし、アップダウン切替信号が”0”の場合にはクロックCLKの8カウント分デクリメントする。その結果、制御信号は、図14に示すような変調波形となる。

【 0 0 4 9 】

図 1 5 に、制御回路 2 7 の第 2 の例である、制御回路 4 0 を示す。

【 0 0 5 0 】

図 1 5 における制御回路 4 0 は、マイクロコンピュータ 4 1 で構成される。マイクロコンピュータ 4 1 の制御に基づいて、図 1 2 又は図 1 4 に示すような制御信号を出力させてもよい。

【 0 0 5 1 】

図 1 6 に、制御回路 2 7 の第 3 の例である、制御回路 4 2 を示す。

【 0 0 5 2 】

図 1 6 における制御回路 4 2 は、レジスタ 4 3、マイクロコンピュータ 4 4 及びメモリ 4 5 で構成される。マイクロコンピュータ 4 4 の制御に基づいてメモリ 4 5 に記憶された内容が一旦レジスタ 4 3 に記憶させ、レジスタ 4 3 に記憶させた内容を制御信号として出力させてもよい。

【 0 0 5 3 】

図 1 7 に、制御回路 2 7 が出力する制御信号の第 3 の例を示す。

【 0 0 5 4 】

図 1 8 は、図 1 7 のデータを制御信号として変調を行った場合の周波数スペクトラムである。

【 0 0 5 5 】

図 1 9 は、図 1 2 のデータを制御信号として変調を行った場合の周波数スペクトラムである。図 1 9 に示すように、図 1 2 のデータを制御信号として使用した場合には、周波数スペクトラム特性の両端にわずかなピークができる場合がある。この場合には、両端の周波数が最頻度の周波数となる。しかしながら、電子機器やシステムにおいては、周波数スペクトラムの中心部の周波数で動作するように設計されているのが通常であるので、最頻度の周波数を周波数スペクトラムの中心部の周波数とするのが好ましい。そのため、図 1 7 に示すデータを制御信号として使用する。制御信号の最大値付近と最小値付近の傾きを急にすることで、両端の周波数の出現頻度が減る。また、制御信号の中心付近の傾きを緩やかにすることで、中心部の周波数の出現頻度が増加する。図 1 7 に示すデータを制御信

号として使用することにより、中心部の周波数が最頻度となる、図 1 8 の周波数スペクトラムを得ることができる。

【0056】

その他、制御回路 2 7 が出力する制御信号は、ランダムに発生させたデータであってよい。

【0057】

このように、本発明の第 1 実施例においては、I D A C 2 5 を用いて I C O 2 6 に供給する電流を可変として I C O 2 6 の発振周波数を可変とする。そのため、図 4 に示すに発振周波数のスペクトラムのピークを分散させて、P L L からの電磁波輻射を低減させることができる。

【0058】

本発明の第 1 実施例においては、短い期間において発振周波数が可変となるが、P L L から発振される平均の周波数は従来の P L L と同じであって、問題はない。

[本発明の第 2 実施例]

図 2 0 に、本発明の第 2 実施例を示す。

【0059】

本発明の第 2 実施例は、第 1 のクロックと第 2 のクロックとを同時に生成するクロック生成回路であり、何れか一方のクロックの周波数を可変とすることで、クロック生成回路からの電磁波輻射の低減を図るものである。

【0060】

例えば、電子機器によっては、正確なクロックを必要とする部分を有する場合がある。このような部分においては、クロックの周波数をわずかでも変動させることはできない。本発明の第 2 実施例は、このような部分を備える電子機器等のためのものであり、生成する複数のクロックの内の何れかの周波数を変動させないようにするものである。

【0061】

本発明の第 2 実施例におけるクロック生成回路 4 6 は、第 1 の動作クロック C L K 1 を出力する P L L 4 7 から構成される第 1 のクロック生成部と、P L L 4

7からの電流信号を受けて第2のクロックCLK2を出力する第2のクロック生成部とから構成される。

【0062】

第1のクロック生成部を構成するPLL47は、1/N分周器48、位相比較器49、チャージポンプ50、ループフィルタ51、VCO（電圧制御発振器）52、及び1/M分周器55で構成され、VCOの構成以外は、図6に示す本発明の第1実施例で示すPLL18と同じである。

【0063】

VCO52は、V-I変換器53と第1のICO（電流制御発振器）54とで構成される。

【0064】

V-I変換器53は、ループフィルタ51から供給される電圧信号を電流信号に変換し、第1のICO54は、電流信号に対応する周波数の第1のクロックCLK1を出力する。

【0065】

第2のクロック生成部を構成するIDAC57は、VCO52のV-I変換器53が出力する電流信号を、制御回路56からの制御信号に基づいて変化させて出力する。第2のICO49は変化した電流信号に対応する周波数の第2のクロックCLK2を出力することで、発振周波数を変化させる。なお、制御回路56は、図13、図15又は図16で示すされる制御回路と同じ構成を備えるが、このような構成に限られるものではない。

【0066】

第1のクロック生成部で生成される第1のクロックCLK1の周波数は可変とはならないため電磁波輻射を低減させることはできない。しかしながら、第2のクロック生成部で生成される第2のクロックCLK2の周波数は、IDAC57による第2のICO58への可変電流信号の供給によって可変となる。従って、本発明の第2実施例におけるクロック生成回路は、電磁波輻射を低減させることができる。

[本発明の第3実施例]

図 2 1 に、本発明の第 3 実施例を示す。

【 0 0 6 7 】

本発明の第 3 実施例は、図 2 0 に示す本発明の第 2 実施例とほぼ同じ構成を備えるが、本発明の第 2 実施例と異なる点は、第 1 のクロック生成部を構成する PLL の VCO 内に補正用 IDAC 6 7 を設けている点である。

【 0 0 6 8 】

IDAC 7 2 が V-I 変換器 6 6 からの電流信号を変化させなかった場合を考える。V-I 変換器 6 6 からの同じ電流信号を供給される第 1 の ICO 6 8 と第 2 の ICO 7 3 とは、同じ周波数のクロックを出力するはずである。しかしながら、製造過程のバラツキによりクロックにズレが生じる場合がある。

【 0 0 6 9 】

そのため、V-I 変換器 6 6 からの電流信号を補正するための補正用 IDAC 6 6 を、V-I 変換器 6 6 と第 1 の ICO 6 8 との間に挿入する。補正用 IDAC 6 7 は、制御回路 (2) 6 8 によって制御され、製造バラツキ等による誤差を修正した電流信号 I_c を第 1 の ICO 6 7 に供給する。この誤差修正により、第 1 のクロック生成部を構成する PLL 6 0 は所望する第 1 のクロック CLK 1 を生成することができ、精度の高いクロック生成回路を実現することが可能となる。補正用 IDAC 6 7 を制御する制御回路 (2) の構成は、調整用であるので、電源クリップや GND クリップというような端子のクリップでもよい。また、レジスタで構成してもよい。

【 0 0 7 0 】

なお、本発明の第 3 実施例においては、本発明の第 2 実施例と同様に、第 2 のクロック生成部で生成される第 2 のクロック CLK 2 の周波数は、IDAC 7 2 による第 2 の ICO 7 3 への可変電流信号の供給によって可変となる。従って、本発明の第 3 実施例におけるクロック生成回路は、電磁波輻射を低減させることができることは言うまでもない。

[本発明の第 4 実施例]

図 2 2 に、本発明の第 4 実施例を示す。

【 0 0 7 1 】

本発明の第 4 実施例は、図 6 に示す本発明の第 1 実施例とほぼ同じ構成を備えるが、本発明の第 1 実施例と異なる点は、IDAC として LPF（ローパスフィルタ）付 IDAC 79 を使用している点である。

【0072】

図 23 に、LPF 付 IDAC の一例を示す。

【0073】

図 23 に示す LPF 付 IDAC は、図 11 に示す IDAC とほぼ同じ構成を備えるが、図 11 に示す IDAC とは異なり、更に、電流出力部に PMOS トランジスタ 93 及び 96、抵抗 94、コンデンサ 95、及び NMOS トランジスタ 97 及び 98 で構成される LPF を備える。

【0074】

IDAC においては、入力データの変化時に出力電流にグリッチ（ノイズ）が発生する場合がある。このグリッチが ICO に供給されると ICO はグリッチに従った高周波数の信号を出力する。そのため、PLL はロック状態からはずれてしまい、基準周波数に収束できなくなる事態も生じ得る。

【0075】

そのため、出力電流をなまらせる働きを有する LPF 付 IDAC を使用すれば、グリッチが発生した出力電流をなまらせることができ、PLL はロック状態からはずれることはなくなる。精度の高い PLL を提供することができる。

【0076】

以上の説明に関して更に以下の項を開示する。

（付記 1）

基準クロックと動作クロックとが入力される位相比較器と、前記位相比較器の出力信号に基づいて前記動作クロックを生成する電圧制御発振器とを備えるクロック生成回路において、前記電圧制御発振器は、電圧信号を電流信号に変換する電圧電流変換器と、前記電流信号を可変とする電流可変回路と、前記可変電流信号に基づいた周波数を発振する電流制御発振器とを備えることを特徴とするクロック生成回路（請求項 1）。

（付記 2）

前記電流可変回路は、電流 D / A コンバータ又はローパスフィルタ付電流 D / A コンバータであることを特徴とする付記 1 に記載のクロック生成回路（請求項 2）。

（付記 3）

前記電流可変回路を制御する制御回路を備えることを特徴とする付記 1 に記載のクロック生成回路。

（付記 4）

前記電流可変回路は、前記電流制御発振器が発振するクロックの周波数の変化範囲を決定できる手段を備えることを特徴とする付記 1 に記載のクロック生成回路。

（付記 5）

基準クロックと比較クロックとを比較した比較結果を電流信号に変換し、該電流信号に基づいて動作クロックを生成するクロック生成回路であって、前記電流信号を変化させて複数の電流信号を生成する第 1 回路と、前記複数の電流信号に基づいて複数の異なる周波数のクロックを生成する第 2 回路とを備えることを特徴とするクロック生成回路（請求項 3）。

（付記 6）

前記第 1 回路は、電流 D / A コンバータ又はローパスフィルタ付電流 D / A コンバータであることを特徴とする付記 5 に記載のクロック生成回路。

（付記 7）

前記第 1 回路を制御する制御回路を備えることを特徴とする付記 5 に記載のクロック生成回路。

（付記 8）

基準クロックと比較クロックとを比較した比較結果を出力する位相比較器と、前記比較結果に基づく電流信号を生成する第 1 回路と、前記電流信号に基づいて第 1 電流信号と第 2 電流信号とを生成する第 2 回路と、前記第 1 電流信号に基づいて第 1 周波数のクロックを生成するとともに、前記第 2 電流信号に基づいて第 2 周波数のクロックを生成する第 3 回路とを備えることを特徴とするクロック生成回路（請求項 4）。

(付記 9)

前記第 1 回路は、電流 D/A コンバータ又はローパスフィルタ付電流 D/A コンバータであることを特徴とする付記 8 に記載のクロック生成回路。

(付記 10)

前記第 1 回路を制御する制御回路を備えることを特徴とする付記 8 に記載のクロック生成回路。

(付記 11)

第 1 のクロックを生成する第 1 クロック生成部と、第 2 のクロックを生成する第 2 クロック生成部と、を備えるクロック生成回路において、前記第 1 クロック生成部は、基準クロックと動作クロックと比較する位相比較器と、前記比較結果又は比較結果に基づく信号を電流信号に変換する電圧電流変換器と、前記電流信号に基づいて第 1 動作クロックを生成する第 1 電圧制御発振器とを備え、前記第 2 クロック生成部は、前記電流信号を可変とする電流可変回路と、前記可変電流信号に基づいた周波数のクロックを発振する第 2 電流制御発振器とを備えることを特徴とするクロック生成回路（請求項 5）。

(付記 12)

前記電流可変回路は、電流 D/A コンバータ又はローパスフィルタ付電流 D/A コンバータであることを特徴とする付記 11 に記載のクロック生成回路。

(付記 13)

前記電流可変回路を制御する制御回路を備えることを特徴とする付記 11 に記載のクロック生成回路。

(付記 14)

前記電流可変回路は、前記第 2 電流制御発振器が発振するクロックの周波数の変化範囲を決定できる手段を備えることを特徴とする付記 11 に記載のクロック生成回路。

(付記 15)

前記第 1 クロック生成部は、前記電流信号を補正して前記第 1 電圧制御発振器に供給する補正用回路を備えることを特徴とする付記 11 に記載のクロック生成回路。

(付記 1 6)

N 個 (N は 1 以上の整数) のピークを有する周波数スペクトラムの第 1 クロックを生成するクロック生成回路において、基準クロックと比較クロックとを比較した比較結果に基づいて生成された電流信号に基づいて、M 個 (M は 1 以上の整数、 $M > N$) のピークを有する周波数スペクトラムの第 2 クロックを生成する手段を備えることを特徴とするクロック生成回路 (請求項 6)。

(付記 1 7)

前記手段は、前記電流信号を変化させる、電流 D/A コンバータ又はローパスフィルタ付電流 D/A コンバータを含むことを特徴とする付記 1 6 に記載のクロック生成回路。

(付記 1 8)

基準クロックと動作クロックとが入力される位相比較器と、前記位相比較器の出力が供給されるチャージポンプと、前記チャージポンプの出力が供給されるとともに前記動作クロックを出力する電圧制御発振器とを備える PLL において、前記電圧制御発振器は、電圧信号を電流信号に変換する電圧電流変換器と、前記電流信号を可変とする電流可変回路と、前記可変電流信号に基づいた周波数を発振する電流制御発振器とを備えることを特徴とする PLL (請求項 7)。

(付記 1 9)

動作クロックを生成する方法において、基準クロックと比較クロックとを比較し、前記比較結果を電流信号に変換し、前記電流信号を制御信号に基づいて可変とし、前記可変電流信号に基づいて異なる周波数の動作クロックを出力することを特徴とする動作クロックの生成方法 (請求項 8)。

(付記 2 0)

基準クロックと比較クロックとを比較し、前記比較結果を電流信号に変換し、前記電流信号を第 1 制御信号に基づいて第 1 電流信号と第 2 電流信号とを生成し、前記第 1 電流信号に基づいて第 1 周波数のクロックを生成し、前記第 2 電流信号に基づいて第 2 周波数のクロックを生成することを特徴とするクロック生成方法 (請求項 9)。

(付記 2 1)

基準クロックと比較クロックとを比較し、前記比較結果に基づいて複数の電流信号を生成し、前記複数の電流信号に基づいて、M個（Mは2以上の整数）のピークを有する周波数スペクトラムのクロックを生成することを特徴とするクロック生成回路（請求項10）。

【0077】

【発明の効果】

本発明によれば、以下の効果を得ることができる。

（1）発振周波数のスペクトラムを有効に拡散して、電磁波輻射を低減することができる。

（2）発振周波数のスペクトラムの拡散の度合いを自由に設定することができる。

（3）正確に発振周波数を遷移させることができる。

（4）プロセス変動、温度変動又は電源電圧変動等によるバラツキに強く対処することができる。

上記の効果を奏するため、本発明は、電磁波輻射の抑制を強く要請される電子機器、例えばプリンタなどに効果的である。

【図面の簡単な説明】

【図1】

従来のPLLを示す図である。

【図2】

従来のPLLの周波数スペクトラムを示すグラフである。

【図3】

本発明の原理図を示す図である。

【図4】

本発明のクロック生成回路の周波数スペクトラム-1を示すグラフである。

【図5】

本発明のクロック生成回路の周波数スペクトラム-2を示すグラフである。

【図6】

本発明の第1実施例を示す図である。

【図 7】

位相比較器の一例を示す図である。

【図 8】

チャージポンプの一例を示す図である。

【図 9】

V-I 変換器の一例を示す図である。

【図 10】

I C O の一例を示す図である。

【図 11】

I D A C の一例を示す図である。

【図 12】

制御信号の第 1 の例を示す図である。

【図 13】

I D A C を制御する制御回路の第 1 の例を示す図である。

【図 14】

制御信号の第 2 の例を示す図である。

【図 15】

I D A C を制御する制御回路の第 2 の例を示す図である。

【図 16】

I D A C を制御する制御回路の第 3 の例を示す図である。

【図 17】

制御信号の第 3 の例を示す図である。

【図 18】

本発明のクロック生成回路の周波数スペクトラム-3 を示すグラフである。

【図 19】

本発明のクロック生成回路の周波数スペクトラム-4 を示すグラフである。

【図 20】

本発明の第 2 実施例を示す図である。

【図 21】

本発明の第 3 実施例を示す図である。

【図 2 2】

本発明の第 4 実施例を示す図である。

【図 2 3】

L P F 付 I D A C の一例を示す図である。

【符号の説明】

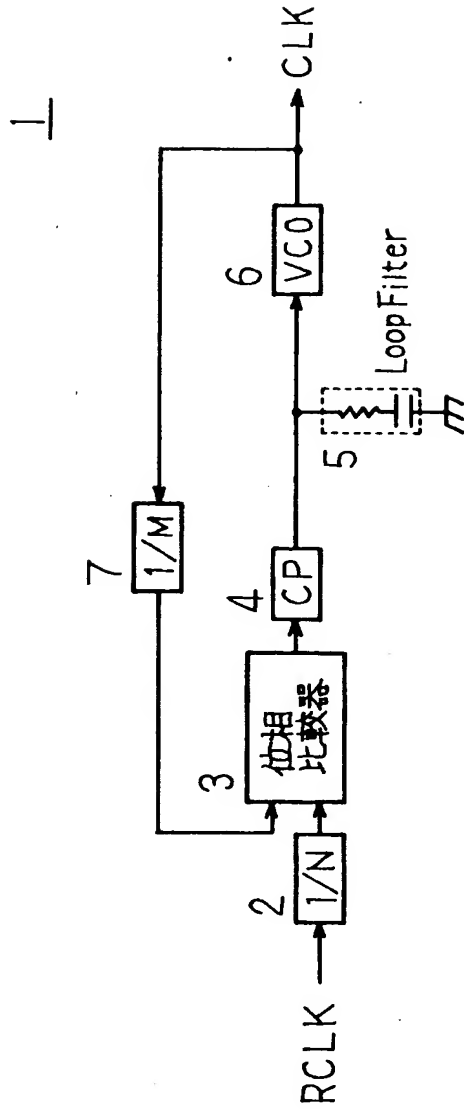
1 / N 分周器	2	9	1 9	4 8	6 1	7 5	
位相比較器	3	1 0	2 0	4 9	6 2	7 6	
チャージポンプ	4	1 1	2 1	5 0	6 3	7 7	
ループフィルタ	5	1 2	2 2	5 1	6 4	7 8	
V C O	6	1 3	2 3	5 2	6 5	7 9	
1 / M 分周器	9	1 7	2 8	5 5	6 9	8 3	
V - I 変換器	1 4	2 4	4 4	5 3	6 6	8 0	
I D A C	2 5	5 7	7 2				
L P F 付 I D A C	8 1						
I C O	1 6	2 6	5 4	5 8	6 8	7 3	8 2
制御回路	2 7	5 6	7 0	7 1	8 4		

【書類名】

図面

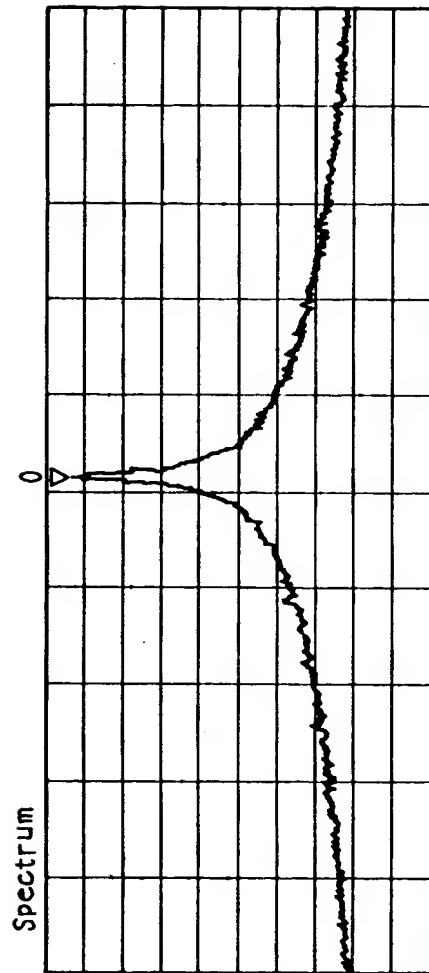
【図 1】

従来のPLL



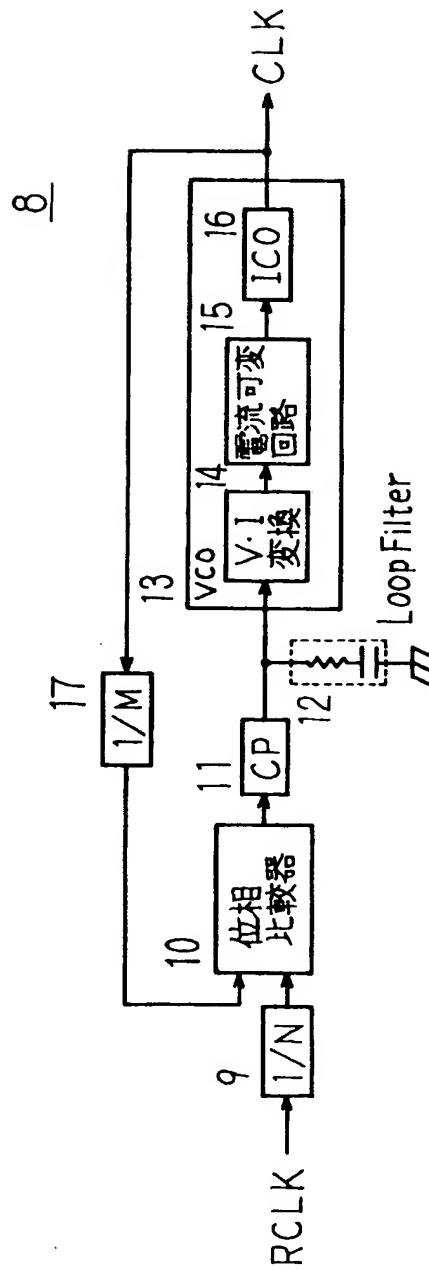
【図 2】

従来のPLLの周波数スペクトラム



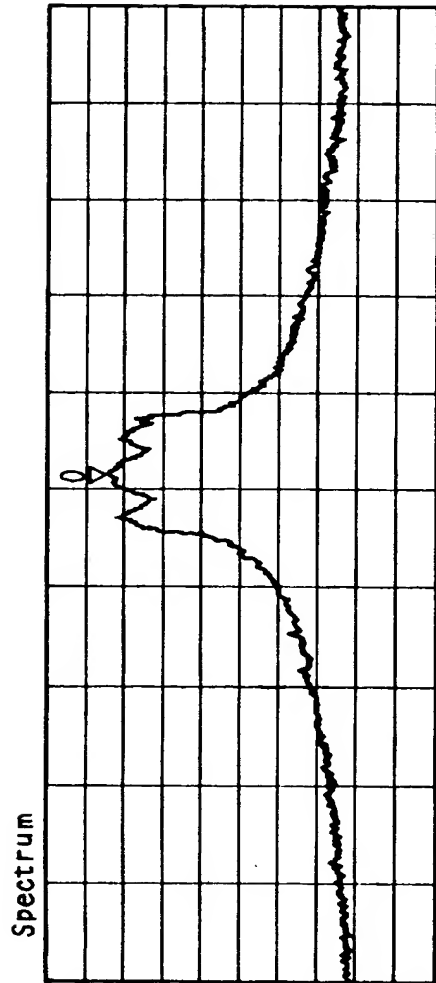
【図 3】

本発明の原理図



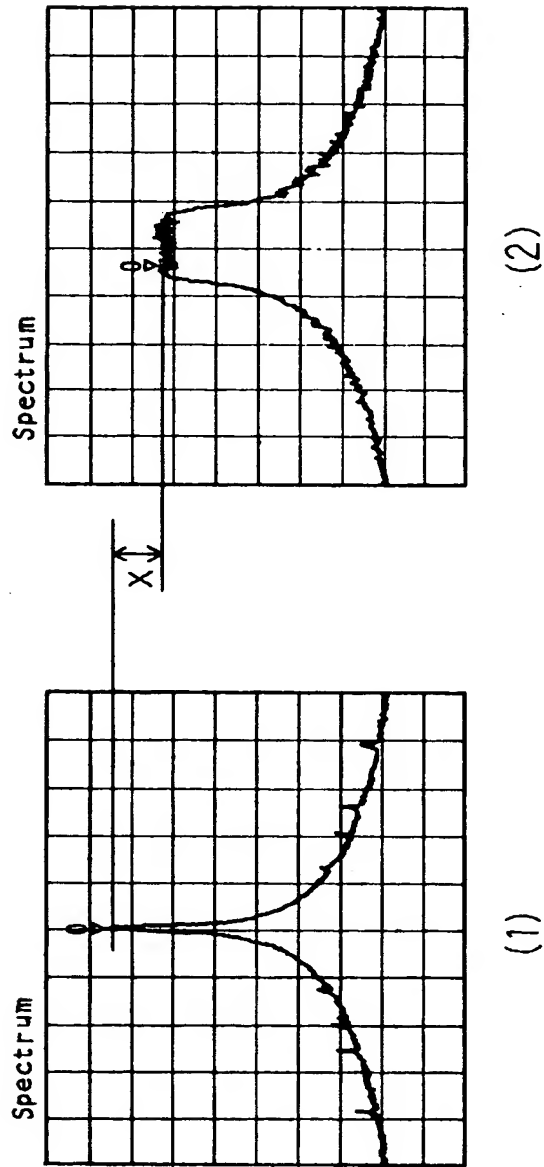
【図 4】

本発明のクロック生成回路の周波数スペクトラム-1



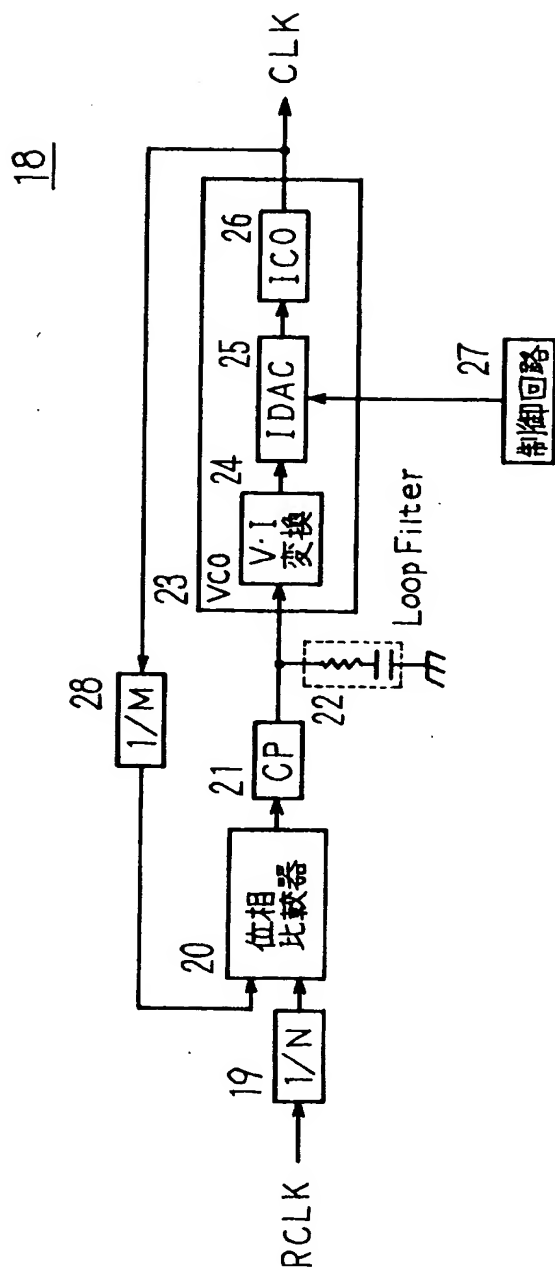
【図 5】

本発明のクロック生成回路の周波数スペクトラム-2



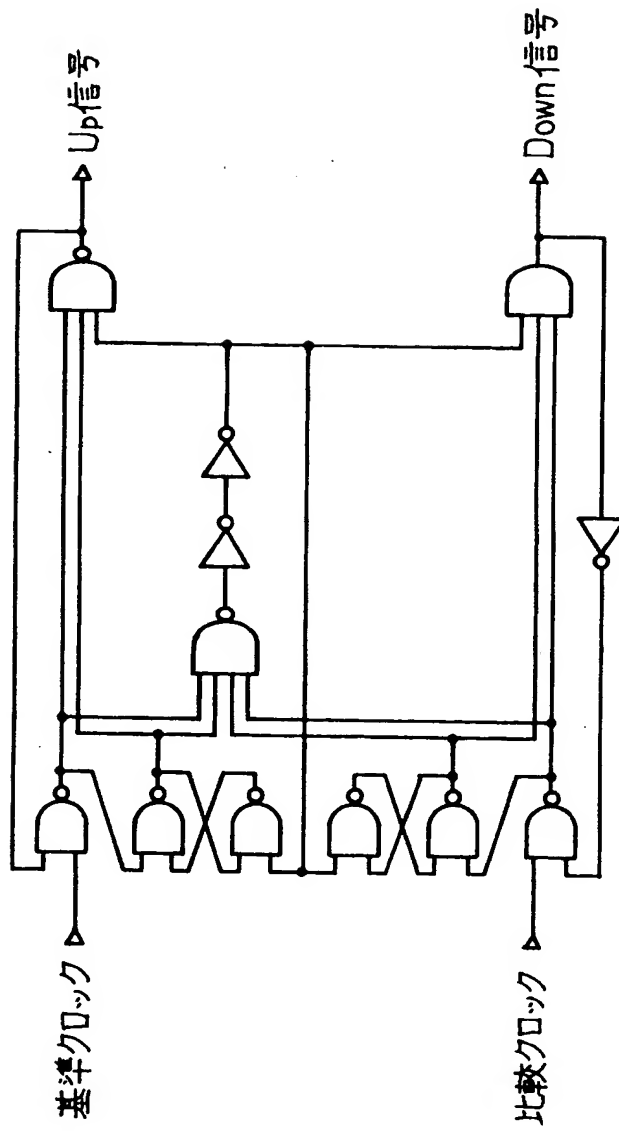
【図 6】

本発明の第 1 実施例



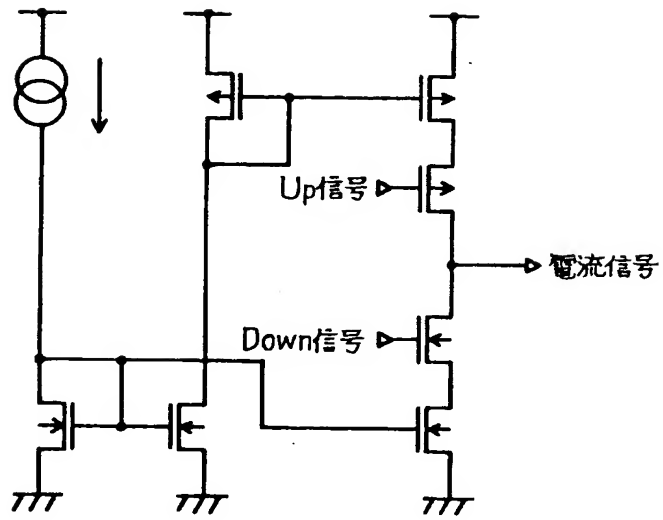
【図 7】

位相比較器の一例



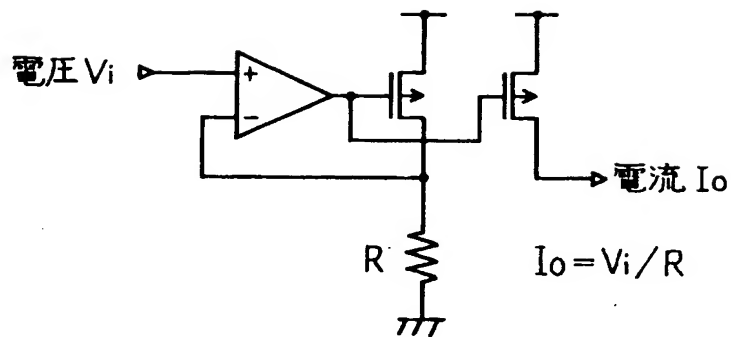
【図 8】

チャージポンプの一例



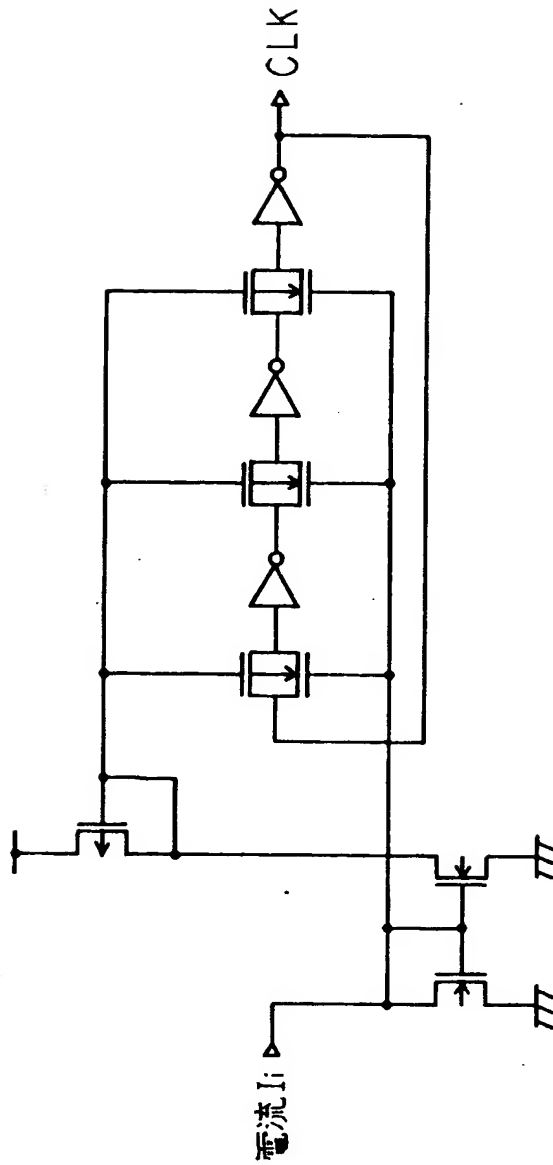
【図 9】

V-I 変換器の一例



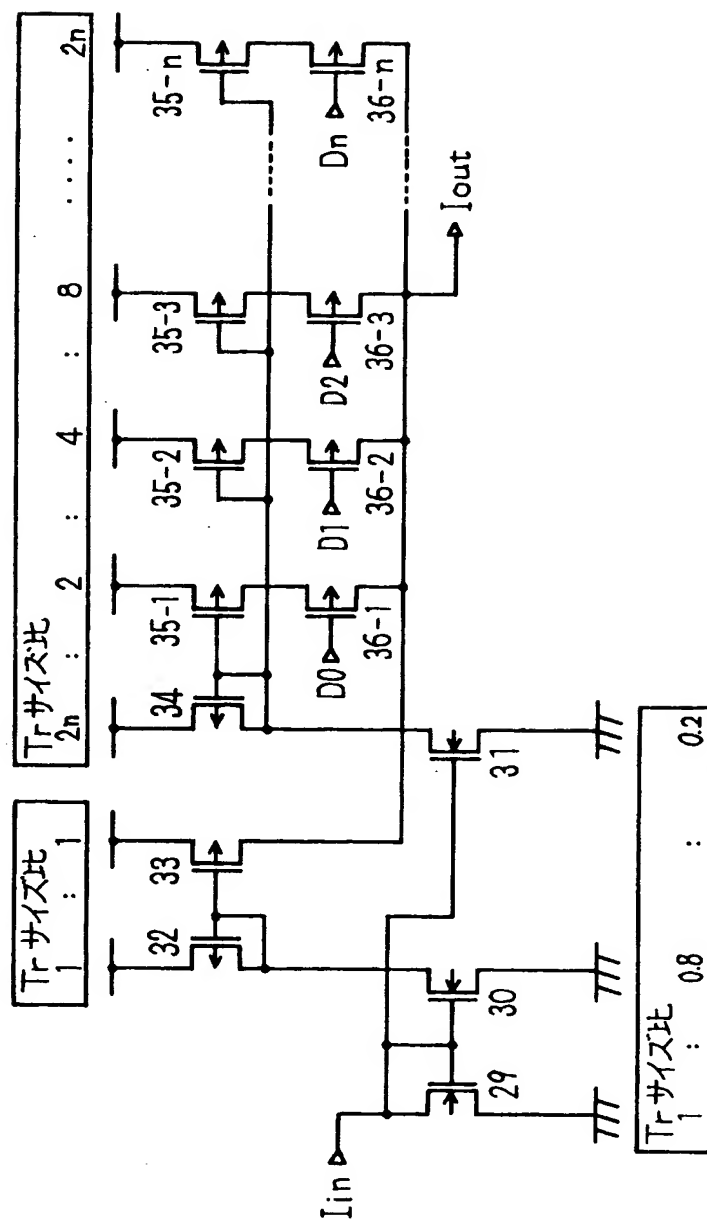
【図 1 0】

IC0 の一例



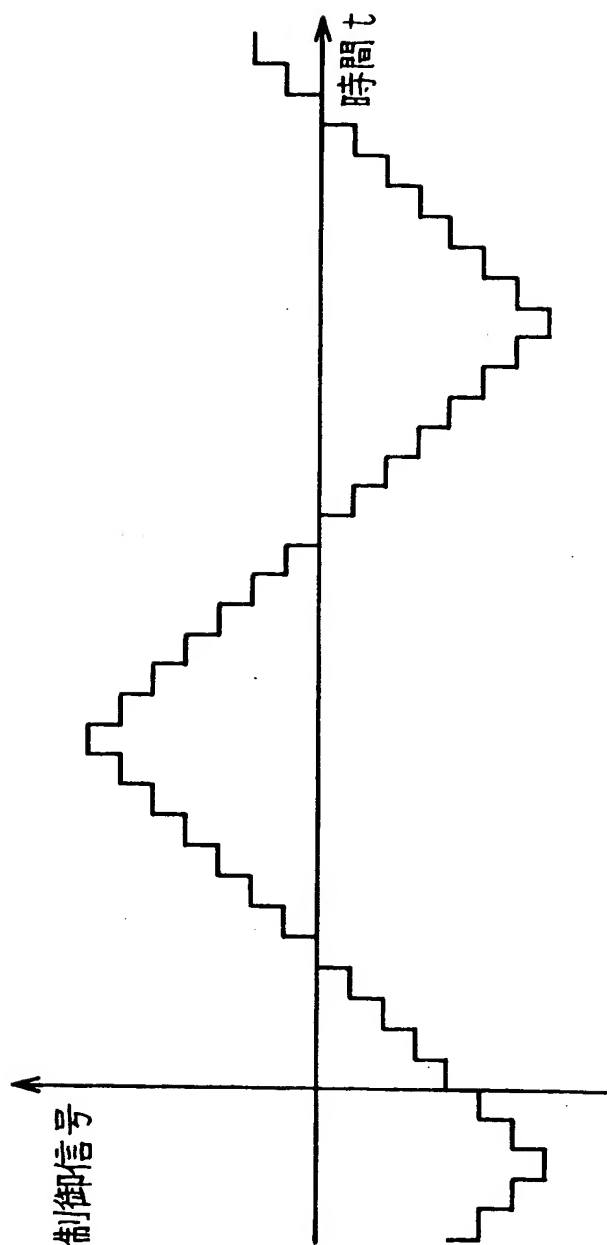
【図 11】

I DAC の一例



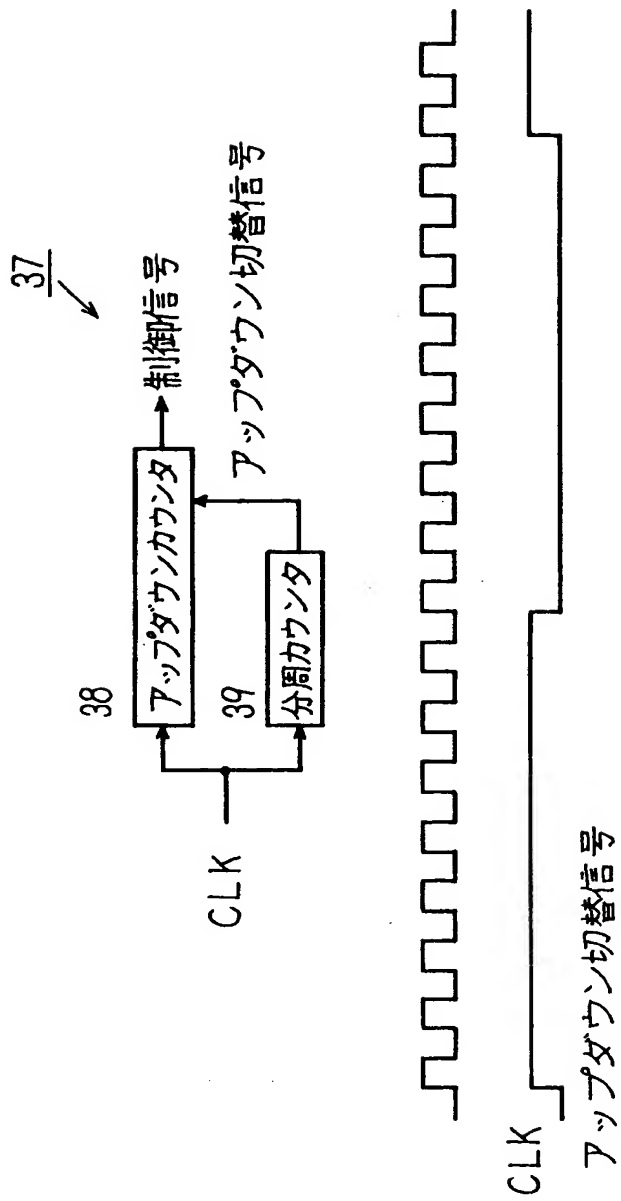
【図 1 2】

制御信号の第 1 の例

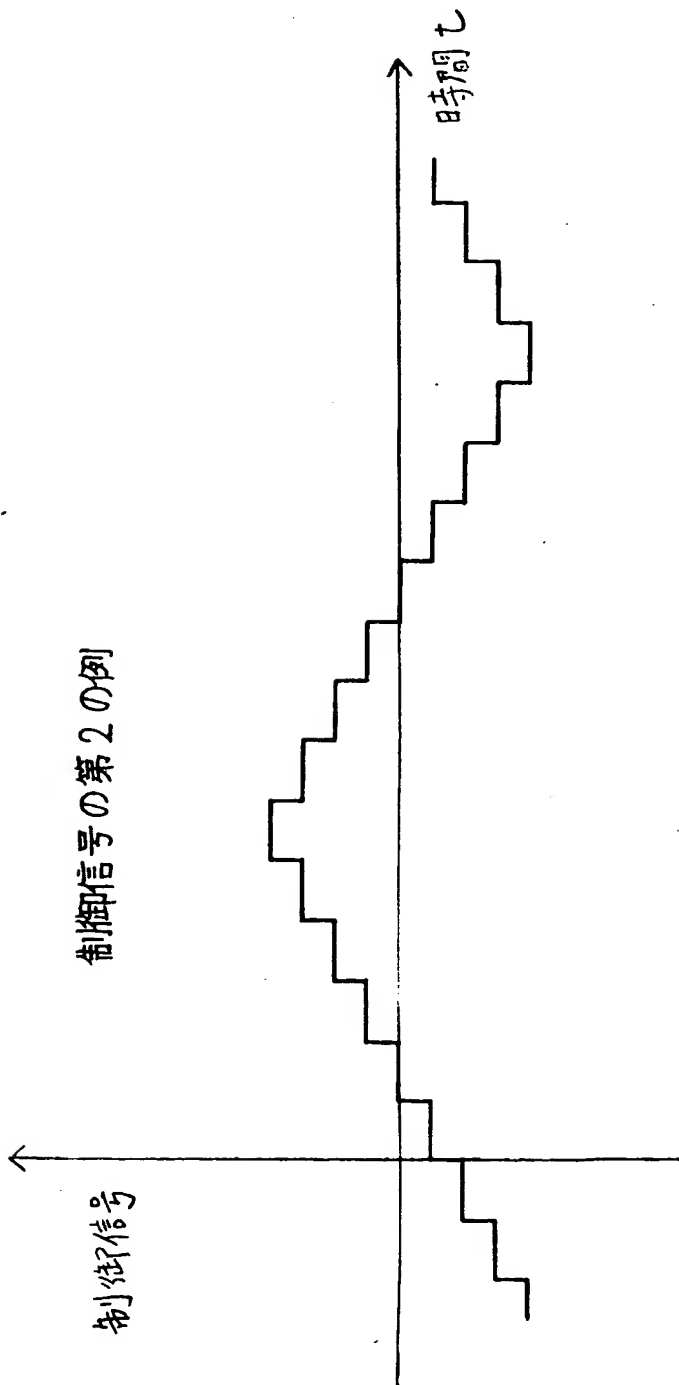


【図 1 3】

制御回路の第 1 の例

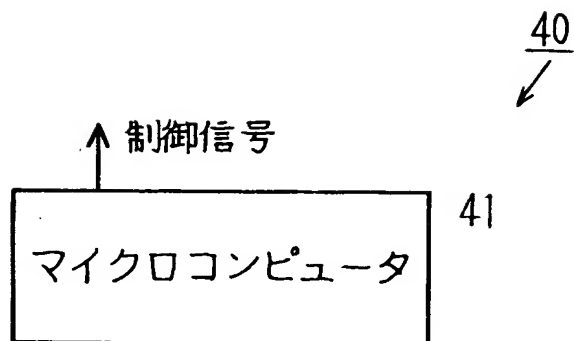


【図 1 4】



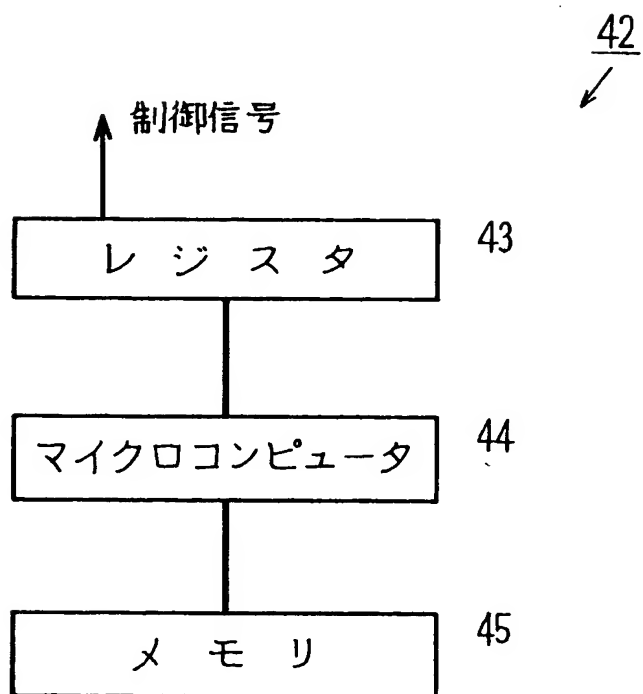
【図 1 5】

制御回路の第 2 の例



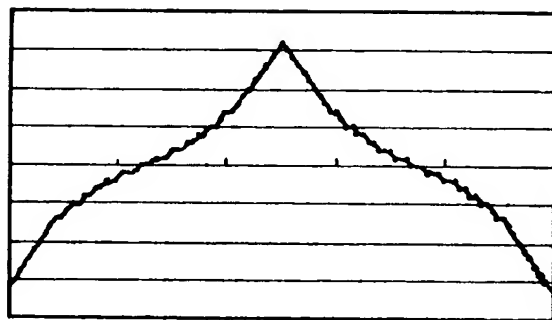
【図 1 6】

制御回路の第 3 の例



【図 1 7】

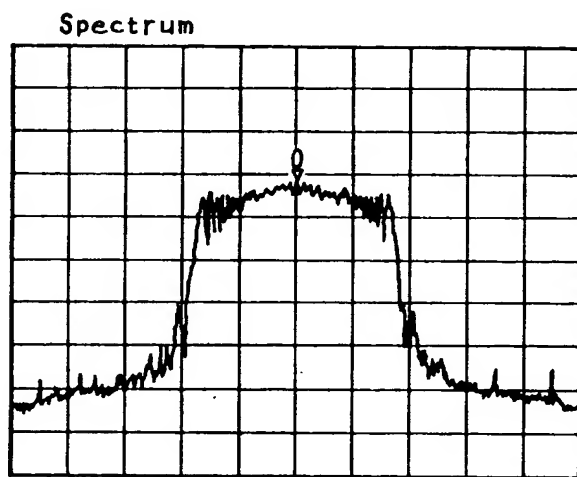
制御信号の第 3 の例



time

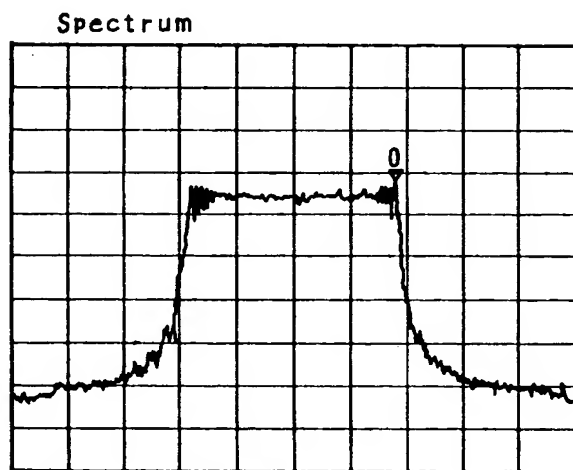
【図 1 8】

本発明のクロック生成回路の周波数スペクトラム - 3



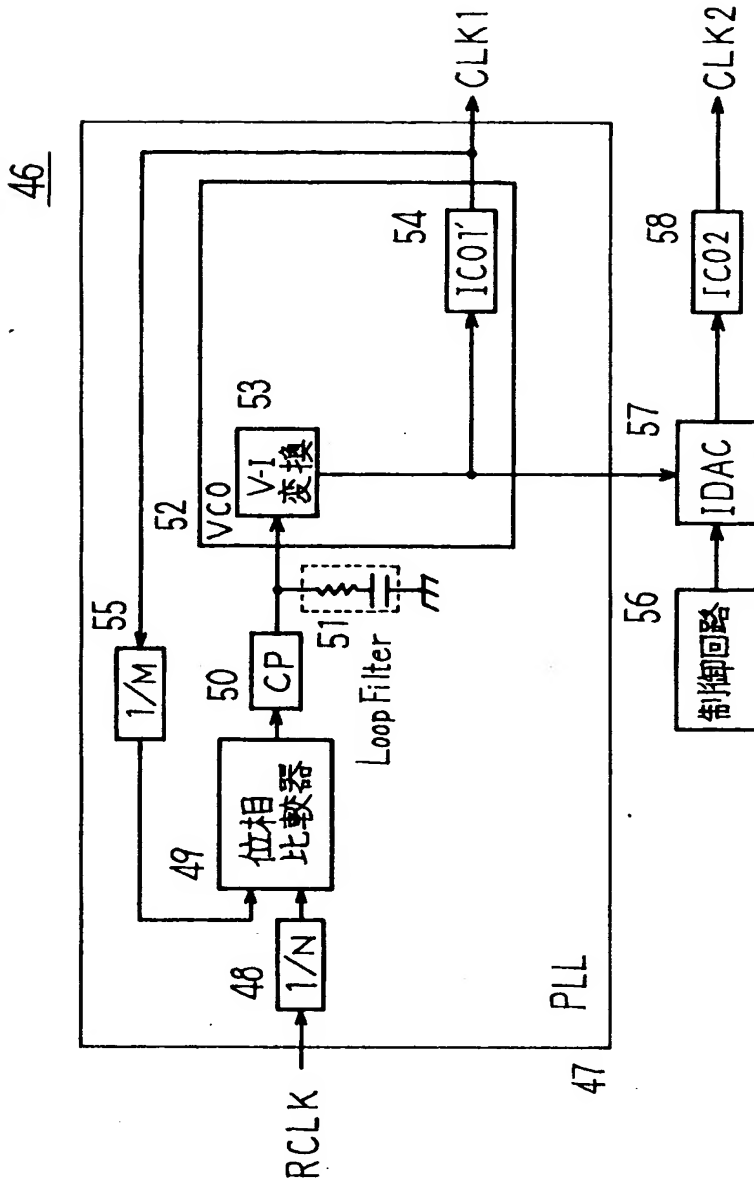
【図 1 9】

本発明のクロック生成回路の周波数スペクトラム - 4



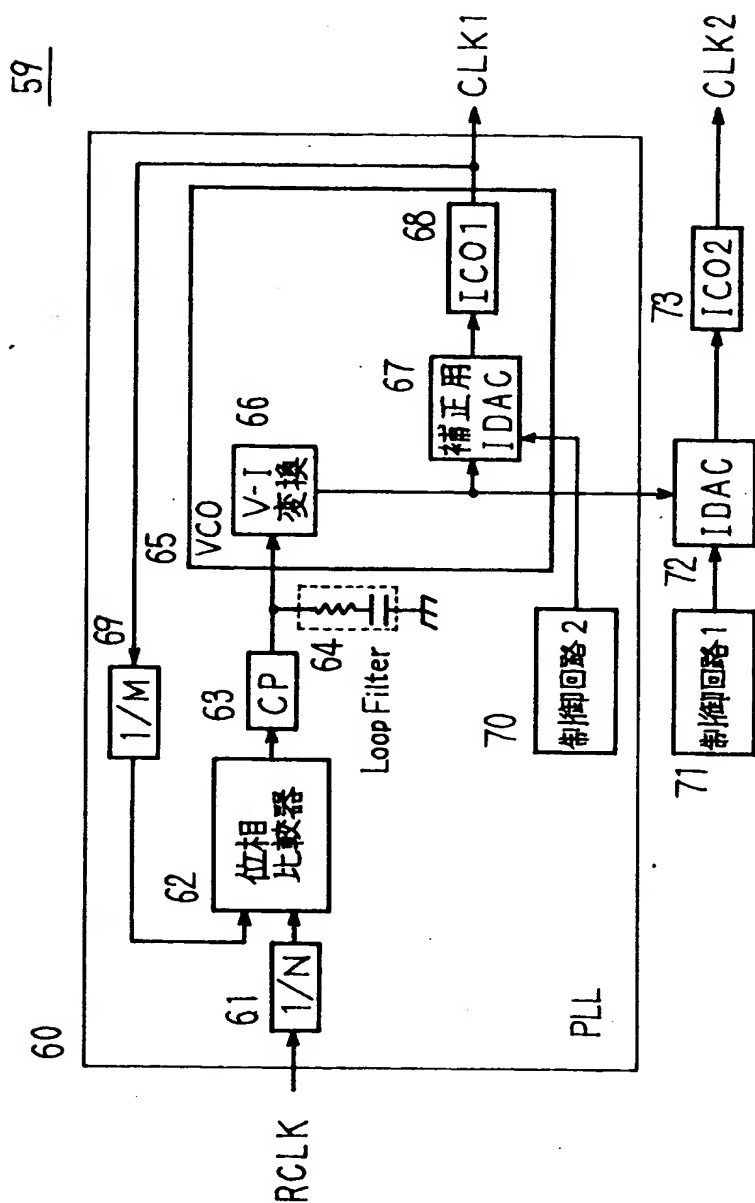
【図 2 0】

本発明の第 2 実施例



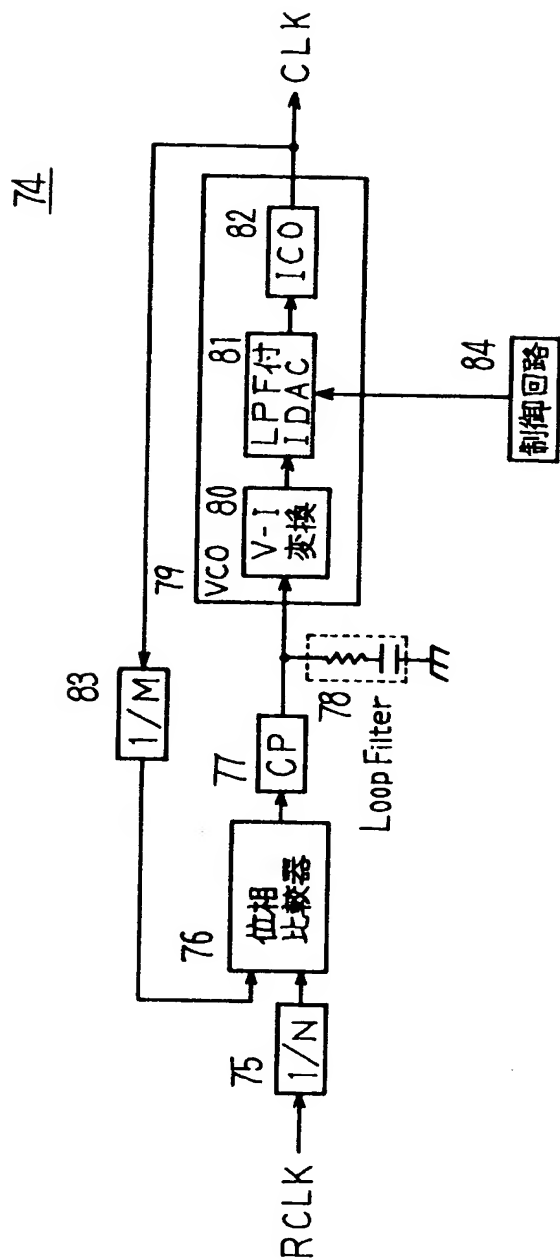
【図 2 1】

本発明の第3実施例



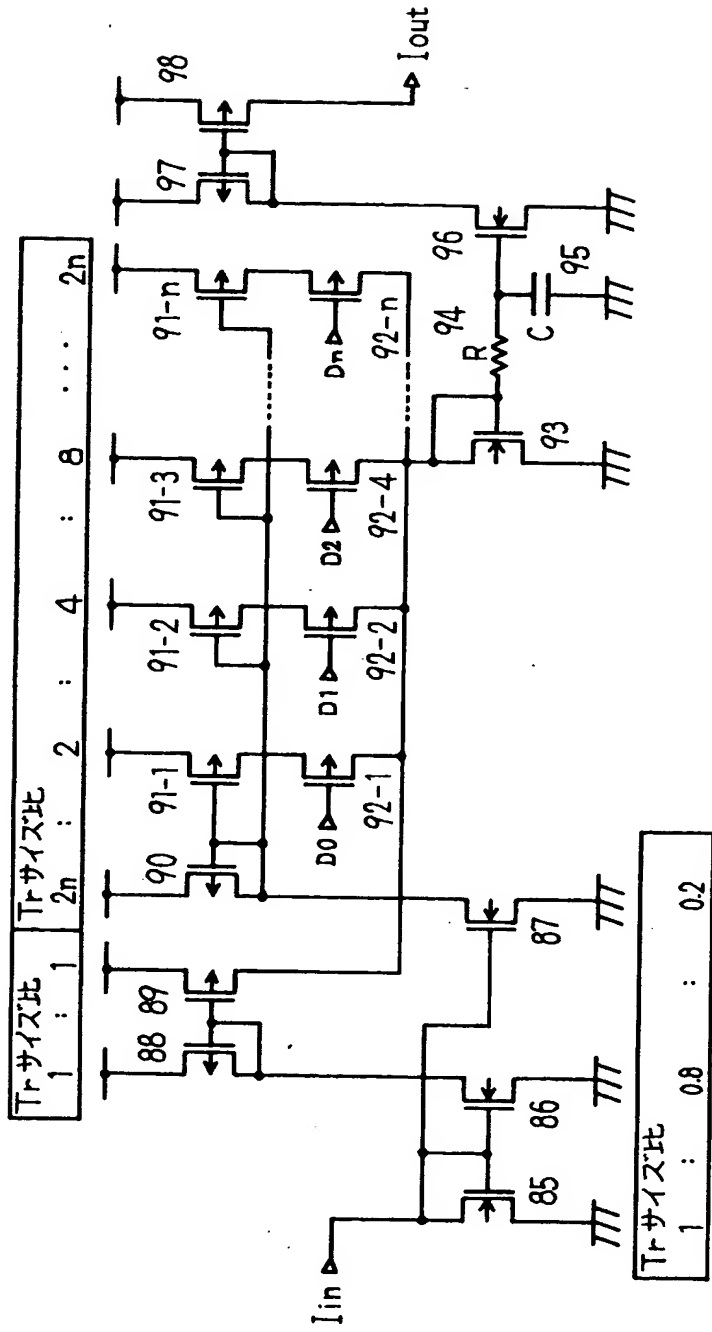
【図 2 2】

本発明の第 4 実施例



【図 23】

LPF付IDACの一例



【書類名】 要約書

【要約】

【課題】 発振周波数のスペクトラムを拡散して、電磁波輻射を低減させるクロック生成回路を提供することを目的とする。

【解決手段】 基準クロックと比較クロックとを比較した比較結果を電流信号に変換し、該電流信号に基づいて発振周波数を変動させることで、クロック生成回路の発振周波数のスペクトラムを分散させて、電磁波輻射の低減を図る。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社